

Nonvolatile semiconductor memory device with dual insulation layers between adjacent gate structures

Patent Number: ☐ US5637897
Publication date: 1997-06-10
Inventor(s): OYAMA KEN-ICHI (JP)
Applicant(s): NIPPON ELECTRIC CO (JP)
Requested Patent: ☐ JP8241932
Application Number: US19960606477 19960304
Priority Number(s): JP19950070411 19950306
IPC Classification: H01L29/788
EC Classification:
Equivalents: JP2655124B2, KR210552

Abstract

A non-volatile semiconductor memory, called EPROM has a plurality of memory cells arrayed in a matrix and each having a laminate gate structure including a part of a strip control gate and a separate floating gate. A plurality of erasing gates is disposed in one of each two of spaces formed between two adjacent gate structures. Other of the each two of the spaces is filled with a laminate including a silicon nitride film and a silicon oxide film overlying the silicon nitride film. The erasing gates and the laminates are arranged alternately, so that the laminates do not cover the erasing gates. Difference in level between the memory cell section and the peripheral section is reduced to thereby prevent breakage of interconnects overlying the erasing gates. Etching of the substrate surface can be avoided to thereby obtain an improvement in the yield of the memory device.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-241932

(43) 公開日 平成8年(1996)9月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		G 1 1 C 17/00	3 0 7 D
	29/792		H 0 1 L 27/10	4 3 4
G 1 1 C	16/02			
	16/04			

審査請求 有 請求項の数 5 F D (全 7 頁) 最終頁に続く

(21) 出願番号 特願平7-70411

(22) 出願日 平成7年(1995)3月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小山 健一

東京都港区芝五丁目7番1号 日本電気株式会社内

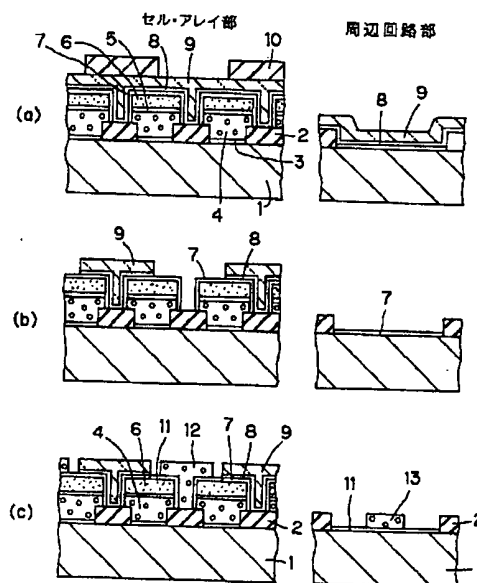
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【要約】

【目的】 周辺回路部のゲート電極のパターニング時に、基板をオーバーエッチングすることのないようにして、特性のばらつきを抑える。

【構成】 紙面に平行な方向に延びる、ビット線となる n^+ 型埋め込み拡散層(図示なし)を p 型シリコン基板1の表面に形成し、基板上にこの埋め込み拡散層に直交する方向に延びる素子分離酸化膜2を形成する。ポリシリコン膜、ゲート間酸化膜5およびポリシリコンの積層体をパターニングして、浮遊ゲート4、制御ゲート6を形成する。熱酸化によりシリコン酸化膜7を形成し、その上にシリコン窒化膜8、シリコン酸化膜9を堆積した後、フォトレジスト膜10を形成する(a)。積層ゲート電極間の隙間を1本置きに埋め込むように酸化膜9と窒化膜8をパターニングする(b)。ポリシリコン膜を堆積し、パターニングして消去ゲート12、ゲート電極13を形成する(c)。



8...シリコン窒化膜
9,11...シリコン酸化膜
10...フォトレジスト膜
12...消去ゲート
13...ゲート電極

【特許請求の範囲】

【請求項1】 半導体基板上にマトリックス状に配置された浮遊ゲートと、前記浮遊ゲートを行方向に連続して覆う複数本の制御ゲートと、前記制御ゲート間の隙間を1本置きに埋め込む絶縁膜と、前記絶縁膜によって埋め込まれなかった前記制御ゲート間の隙間を埋め込む消去ゲートとを備えた不揮発性半導体記憶装置であって、前記絶縁膜がシリコン窒化膜を下層、シリコン酸化膜を上層とした絶縁層積層体により構成されていることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記絶縁層積層体の下にはシリコン酸化膜が形成されていることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記半導体基板の表面領域内には、前記制御ゲートに直交して複数本の高不純物濃度拡散層が形成され、前記浮遊ゲートが前記高不純物濃度拡散層の一部重なるように形成されていることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項4】 (1) 半導体基板上に所定のパターンの浮遊ゲート形成用ポリシリコン膜を複数個形成する工程と、

(2) 制御ゲート形成用のポリシリコン膜を堆積し、これと前記浮遊ゲート形成用ポリシリコン膜を選択的に除去して、行方向に平行に延在する複数の制御ゲートと、マトリックス状に配置された浮遊ゲートとを形成する工程と、

(3) シリコン窒化膜とシリコン酸化膜を堆積し、該シリコン酸化膜およびシリコン窒化膜を選択的に除去して、制御ゲート間の隙間を1本置きに埋め込む埋め込み用絶縁膜を形成する工程と、

(4) ポリシリコン膜を堆積し、選択的に除去して、前記埋め込み用酸化膜によって埋め込まれなかった制御ゲート間の隙間を埋め込む消去ゲートを形成する工程と、を含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項5】 前記第(3)の工程において、周辺回路部においては、前記シリコン酸化膜により素子分離用酸化膜を形成することを特徴とする請求項4記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性半導体記憶装置およびその製造方法に関し、特に仮想接地分割ゲートEPROMのように、制御ゲート間の隙間に交互に絶縁膜と消去ゲートとが形成されてなる不揮発性半導体記憶装置およびその製造方法に関するものである。

【0002】

【従来の技術】 仮想接地分割ゲートEPROMセルは、従来のEPROMの集積度および歩留りを改善するための手段として提案されている。図5乃至図8を参照して

従来の仮想接地分割ゲート型EPROMについて説明する。図5は、仮想接地分割ゲート型EPROMのセル・アレイ部の平面図であり、図6はそのB-B線の断面図である。

【0003】 図5、図6に示すように、ソース・ドレイン領域を構成する n^+ 型埋め込み拡散層14はp型シリコン基板1の表面領域内に形成され、図5の上下方向に平行に配置されている。 n^+ 型埋め込み拡散層14は比較的厚いシリコン酸化膜15により覆われている。基板上には、この埋め込み拡散層14と直交して素子分離酸化膜2が平行に形成されている。基板上には、また、浮遊ゲート4が一部が埋め込み拡散層14と重なる態様でマトリックス状に形成されている。さらに、この浮遊ゲート4を覆う制御ゲート6が埋め込み拡散層14と直交して形成されている。制御ゲート6の表面はシリコン酸化膜7により被覆されている。また、浮遊ゲートと制御ゲートからなる積層ゲート電極間の隙間は、1本置きに消去ゲート12により埋め込まれ、さらに、基板上全面がシリコン酸化膜16により被覆されている。

【0004】 図7は、図5に示したセル・アレイ部の等価回路図である。図7に示されるように、 n^+ 型埋め込み拡散層14はビット線(B1、B2、...)を構成しており、制御ゲート6はワード線(W1、W2、...)を構成している。各メモリセルのチャネル部上では、浮遊ゲート4と制御ゲート6とが重なっている部分と制御ゲートが直接チャネル部に対向している部分(いわゆるスプリットゲート)とがある。

【0005】 このメモリは以下のように動作する。図7中のセル(2、1)の読み出し動作は、ワード線W2に例えば5Vを、ビット線B1を接地、ビット線B2を1.5V、他のワード線を接地、他のビット線をフローティング(オープン)とすることにより行う。また、同セルに対する書き込みは、ワード線W2に例えば12Vを印加し、ビット線B1を接地し、ビット線B2に7Vを印加し非選択の他のワード線は接地することにより当該セルのチャネルにホットエレクトロンを発生させこれをこのセルの浮遊ゲートに注入することにより行うことができる。メモリセルの消去動作は、ワード線を接地し、消去ゲート12に例えば20Vを印加して、浮遊ゲート電極中のキャリアを消去ゲート電極に引き抜くことにより行う。

【0006】 上述したように、この仮想接地分割ゲートEPROMセルは、 n^+ 型埋め込み拡散層をビット線として使用していること、浮遊ゲートをもつ各メモリセルにスプリットゲートと呼ばれる選択トランジスタが直列に接続されているという二つの重要な特長を有している。 n^+ 型埋め込みビット線の使用は、メモリセル・アレイにおいて必要とされるコンタクトの数を著しく減少させ、直接的に集積度と歩留りを向上させる。

【0007】 また、各浮遊ゲートのメモリセル毎に直列

選択トランジスタを設置したことにより、選択されたビット線に接続されている非選択メモリセルの浮遊ゲートに、ビット線電圧に起因する電圧が印加され、その結果、非選択メモリセルが不本意にターンオンされる状態となったとしても、オン電流の流れる事態は回避することができる。このことは、ドレイン書き込み電圧に関する拘束条件を著しく緩和する。

【0008】なお、この種の仮想接地分割ゲート型のEPROMは、例えば、特開平2-292870号公報（ジャック H. ユアン：フラッシュ形高密度EPROM半導体メモリの構造体およびその製造プロセスを含む製造方法）により公知となっている。

【0009】次に、セル・アレイ部と周辺回路部とに分けて示した工程順断面図である図8を参照してこの種のEPROMの従来の製造方法について説明する。なお、図8のセル・アレイ部は、図5のA-A線での断面について示されている。まず、p型シリコン基板1上にフォトレジスト膜（図示なし）を選択的に形成し、これをマスクとしたイオン注入により、ビット線となるn⁺型埋め込み拡散層（14；図8には図示されていない）を形成する。

【0010】フォトレジスト膜を除去した後、CVD法により全面にシリコン酸化膜を堆積し、これをパターニングして、セル・アレイ部および周辺回路部に素子分離酸化膜2を形成する。その後、ゲート酸化膜3を形成し、その上に堆積した浮遊ゲート用ポリシリコン膜（膜厚2000Å）をフォトレジストマスクパターンを用いたドライエッチングで短冊状の複数の平行パターンに加工する。さらに、ゲート間絶縁膜5とその上に制御ゲート用のポリシリコン膜（膜厚3500Å）を順次形成した後、制御ゲート用および浮遊ゲート用のポリシリコン膜をパターニングして、制御ゲート6および浮遊ゲート4を形成する。このとき、周辺回路部ではポリシリコン膜は完全に除去されている。

【0011】次に、熱酸化により、制御ゲートと浮遊ゲートおよび基板の露出表面に膜厚約100Åのシリコン酸化膜7を形成する。このシリコン酸化膜7は、周辺回路部ではゲート酸化膜になる。続いて、浮遊ゲートと制御ゲートとの積層ゲート電極間の隙間を埋め込むように消去ゲート用のポリシリコン膜12aを膜厚約2500Åに堆積し、フォトリソグラフィ法を適用してフォトレジスト膜17を形成する（図8（a））。

【0012】次に、フォトレジスト膜17をマスクとしてポリシリコン膜12aをドライ法によりパターニングして、セル・アレイ部には、積層ゲート電極間の隙間を1本置きに埋め込む消去ゲート12を、周辺回路部にはゲート電極13を形成する。その後、シリコン基板表面にシリコン酸化膜16をCVD法で堆積する（図8（b））。最後に、通常の配線形成工程等の後処理を実施して不揮発性半導体記憶装置を作製する。

【0013】

【発明が解決しようとする課題】上述した従来の仮想接地分割ゲートEPROMは以下の問題点を有している。すなわち、この従来例では、セル・アレイ部の消去ゲートと周辺回路部のトランジスタのゲート電極を、同じポリシリコン膜を用い、同一加工工程でのフォトリソグラフィとドライエッチングで加工形成する。この時、セル・アレイ部においては、制御ゲートと浮遊ゲートとの積層ゲート電極間の隙間に埋め込まれた厚さ2000Å + 3500Å + 2500Å = 8000Åの消去ゲート用のポリシリコン膜12aを除去する必要がある。

【0014】しかしながら、周辺回路部でのポリシリコン膜の膜厚は2500Å程度であるので、この領域には余分に5500Åのポリシリコンをエッチングするためのオーバーエッチングが加えられる。このオーバーエッチングに対するエッチングストッパーは、熱酸化法で形成したシリコン酸化膜7（ゲート酸化膜；膜厚100Å）であるが、この膜厚のエッチングストッパーでエッチングをストップさせることは難しくシリコン基板にエッチングが加えられ、シリコン基板がエッチングにより彫られてしまう（図8（b）のオーバーエッチ部18）。シリコン基板表面にエッチングが加えられると、周辺回路のトランジスタのデバイスサイズ（チャネル長等）のばらつきに起因するトランジスタ特性の不均一性が増大し、歩留りの低下を引き起こす。

【0015】また、従来例では、配線形成工程前におけるメモリセル領域と周辺領域の境界領域での段差の問題がある。セル領域は多数の薄膜を堆積して形成するので、周辺回路部よりもデバイス層が厚くなり、その結果、セル領域と周辺領域の境界領域には段差が発生する。この段差は配線形成工程において、配線の断線等の発生原因となり、メモリチップの製造歩留りを低減させてしまう。

【0016】したがって、この発明の目的とするところは、第1に、周辺回路部のトランジスタのゲート電極の形成時に、ポリシリコン膜のオーバーエッチングを回避できるようにすることであり、第2に、セル・アレイ部と周辺回路部との段差を軽減することである。

【0017】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、半導体基板上にマトリックス状に配置された浮遊ゲート（4）と、前記浮遊ゲートを行方向に連続して覆う複数の制御ゲート（6）と、前記制御ゲート間の隙間を1本置きに埋め込む絶縁膜と、前記絶縁膜によって埋め込まれなかった前記制御ゲート間の隙間を埋め込む消去ゲート（12）とを備えた不揮発性半導体記憶装置において、前記絶縁膜がシリコン窒化膜（8）を下層、シリコン酸化膜（9）を上層とした絶縁層積層体により構成されていることを特徴とする不揮発性半導体記憶装置、が提供される。

5

【0018】また、本発明によれば、-----

① 半導体基板上に所定のパターンの浮遊ゲート形成用ポリシリコン膜(4a)を複数個形成する工程と、

② 制御ゲート形成用のポリシリコン膜(6a)を堆積し、これと前記浮遊ゲート形成用ポリシリコン膜を選択的に除去して、行方向に長尺の複数の制御ゲート(6)とマトリックス状に配置された浮遊ゲート(4)とを形成する工程と〔図1(b)、(c)；図3(b)、(c)〕、

③ シリコン窒化膜(8)とシリコン酸化膜(9)を堆積し、該シリコン酸化膜およびシリコン窒化膜を選択的に除去して、制御ゲート間の隙間を1本置きに埋め込む埋め込み用絶縁膜を形成する工程と〔図2(a)、(b)；図4(a)、(b)〕、

④ ポリシリコン膜を堆積し、選択的に除去して、前記埋め込み用酸化膜によって埋め込まれなかった制御ゲート間の隙間を埋め込む消去ゲート(12)を形成する工程と〔図2(c)；図4(c)〕、を含む不揮発性半導体記憶装置の製造方法、が提供される。

【0019】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図1(a)～(c)および図2(a)～(c)は、セル・アレイ部と周辺回路部とに分けて示した本発明の第1の実施例の工程順断面図である。なお、このセル・アレイ部での断面図は図5のA-A線での断面に相当している。まず、セル・アレイ部においてフォトリソグロフィ法と砒素のイオン注入により、p型シリコン基板1の表面領域内に、列方向に平行に走る複数のn⁺型埋め込み拡散層(図示なし)を形成する。次に、シリコン基板1表面に、CVD法により膜厚約4000Åのシリコン酸化膜を堆積し、これをフォトリソグロフィ法とドライエッチングによりパターニングして、素子分離酸化膜2を形成する〔図1(a)〕。

【0020】その後、熱酸化法によりゲート酸化膜3を形成し、その上に膜厚2500Åのポリシリコン膜を堆積し、これを列方向(紙面に平行な方向)に長尺になるように、また一部がビット線となるn⁺型埋め込み拡散層に掛かるようにパターニングして、浮遊ゲート形成用のポリシリコン膜4aを形成する。このとき、周辺回路部においてもポリシリコン膜4aが残るようにする。このポリシリコン膜上に熱酸化法あるいはHTO(High Temperature CVD Oxide; 高温CVD)法により、膜厚200Åのゲート間酸化膜5を形成し、その上に、CVD法により制御ゲート形成用のポリシリコン膜6aを膜厚3000Åに堆積する〔図1(b)〕。

【0021】次に、フォトリソグロフィ法とドライエッチングにより、ポリシリコン膜6a、シリコン酸化膜およびポリシリコン膜4aをパターニングして、所定の形

6

状の制御ゲート6および浮遊ゲート4を形成する。このとき、周辺回路部ではポリシリコン膜は完全に除去される。この実施例では、制御ゲートと浮遊ゲートと同一のフォトリソグロフィ工程において形成していたが、これらを別々のフォトリソグロフィ工程により形成するようにしてもよい。すなわち、制御ゲートのパターニング後に、別のフォトリソグロフィ膜を形成しこれにより浮遊ゲートの制御ゲートに平行な辺のパターニングを行うようにしてもよい。また、浮遊ゲートのパターニングが終了した後に、制御ゲート形成用のポリシリコン膜の堆積を行うようにしてもよい。この積層ゲート電極の形成後、熱酸化を行って制御ゲートと浮遊ゲートの表面およびシリコン基板の表面に膜厚200Åのシリコン酸化膜7を形成する〔図1(c)〕。

【0022】次に、基板表面全面にシリコン窒化膜8を500Åの膜厚に、シリコン酸化膜9を2500Åの膜厚に順次CVD法により堆積する。その結果、浮遊ゲート4と制御ゲート6から構成される積層ゲート電極間の隙間は、シリコン窒化膜8とシリコン酸化膜9で埋め込まれる。その後、後工程で消去ゲートを形成しない部分にフォトリソグロフィ膜10のマスクを形成する。すなわち、セル・アレイ部において、前記積層ゲート電極間の隙間の1本置きの領域にフォトリソグロフィ膜10を形成する。また、周辺回路部にはフォトリソグロフィのマスクは形成しない〔図2(a)〕。

【0023】次に、シリコン酸化膜とシリコン窒化膜のウェットエッチングを順次行い、前述のフォトリソグロフィ膜10により保護されていない部分のシリコン酸化膜9とシリコン窒化膜8の積層膜を除去する〔図2(b)〕。次に、露出したシリコン酸化膜7を除去し、再度熱酸化法により膜厚100Åのシリコン酸化膜11を形成する。このシリコン酸化膜11は、周辺回路部においては、ゲート酸化膜となる。その後、CVD法により膜厚2500Åの消去ゲート用のポリシリコン膜を堆積し、これをフォトリソグロフィ法とドライエッチングによりパターニングして、セル・アレイ部においては消去ゲート12を、周辺回路部においては、周辺デバイスのゲート電極13を形成する〔図2(c)〕。その後、通常の配線形成工程等の後処理を実施して不揮発性半導体記憶装置を作製する。

【0024】【第2の実施例】図3(a)～(c)および図4(a)～(c)は、セル・アレイ部と周辺回路部とに分けて示した本発明の第1の実施例の工程順断面図である。なお、このセル・アレイ部での断面図は図5のA-A線での断面に相当している。まず、セル・アレイ部においてフォトリソグロフィ法と砒素のイオン注入により、p型シリコン基板1の表面領域内に、列方向に平行に走る複数のn⁺型埋め込み拡散層(図示なし)を形成する。次に、シリコン基板1表面に、CVD法により膜厚約2000Åのシリコン酸化膜を堆積

し、これをパターニングして、素子分離酸化膜2を形成する〔図3(a)〕。このとき、周辺回路部においては、素子分離用酸化膜は形成されない。

【0025】その後、熱酸化法によりゲート酸化膜3を形成し、その上に膜厚2500Åのポリシリコン膜を堆積し、これを列方向に長尺になるように、また一部がビット線となる n^+ 型埋め込み拡散層に掛かるようにパターニングして、浮遊ゲート形成用のポリシリコン膜4aを形成する。このとき、周辺回路部においてもポリシリコン膜4aが残るようにする。このポリシリコン膜上に膜厚200Åのゲート間酸化膜5を形成し、その上に、制御ゲート形成用のポリシリコン膜6aを膜厚3000Åに堆積する〔図3(b)〕。

【0026】次に、フォトリソグラフィ法とドライエッチングにより、ポリシリコン膜6a、シリコン酸化膜およびポリシリコン膜4aをパターニングして、所定の形状の制御ゲート6および浮遊ゲート4を形成する。このとき、周辺回路部ではポリシリコン膜は完全に除去される。この積層ゲート電極の形成後、熱酸化を行って制御ゲートと浮遊ゲートの表面およびシリコン基板の表面に膜厚200Åのシリコン酸化膜7を形成する〔図3(c)〕。

【0027】次に、基板表面全面にシリコン窒化膜8を500Åの膜厚に、シリコン酸化膜9を5000Åの膜厚に順次CVD法により堆積する。その後、セル・アレイ部では、積層ゲート電極間の隙間の内後工程で消去ゲートを形成しない部分に、また周辺回路部では素子分離酸化膜の形成領域にフォトレジスト膜10のマスクを形成する。〔図4(a)〕。

【0028】次に、シリコン酸化膜とシリコン窒化膜のウェットエッチングを順次行い、前述のフォトレジスト膜10により保護されていない部分のシリコン酸化膜9とシリコン窒化膜8の積層膜を除去する〔図4(b)〕。この結果、周辺回路領域では、シリコン酸化膜9(膜厚5000Å)、シリコン窒化膜8(膜厚500Å)およびシリコン酸化膜7(膜厚200Å)の積層膜がフィールド絶縁膜を構成することになる。

【0029】次に、露出したシリコン酸化膜7を除去し、再度熱酸化法により膜厚100Åのシリコン酸化膜11を形成する。このシリコン酸化膜11は、周辺回路部においては、ゲート酸化膜となる。その後、CVD法により膜厚2500Åの消去ゲート用のポリシリコン膜を堆積し、これをパターニングして、セル・アレイ部においては消去ゲート12を、周辺回路部においては、周辺デバイスのゲート電極13を形成する〔図4(c)〕。その後、通常の配線形成工程等の後処理を実施して不揮発性半導体記憶装置を作製する。

【0030】

【発明の効果】以上説明したように、本発明によれば、第1に、消去ゲート形成のためのポリシリコン膜のドラ

イエッチングは、平坦部においてのみ行えばよいようになるので、そのためのエッチング量は周辺回路部のトランジスタのゲート電極のパターニングのためのエッチング量と等しくなる。そのため、従来例で消去ゲート加工時に問題になった、メモリセル部と周辺回路部でのポリシリコン膜エッチング量の違いに起因した周辺回路部のシリコン基板表面のオーバーエッチングは回避することができるようになる。その結果、オーバーエッチングによる周辺回路のトランジスタのデバイスサイズ(チャネル長等)ばらつきを防止することができるようになり、トランジスタ特性の不均一性は減少し、歩留りを向上させることができる。

【0031】第2に、従来例では消去ゲート上に、積層ゲート電極間の隙間を埋め込む厚いシリコン酸化膜が積層されるため、セル・アレイ部と周辺回路部との段差が大きくなったが、本発明によれば、消去ゲートにこの埋め込み用の酸化膜が積層されることがないので、段差は軽減される。さらに、第2の実施例のように、セル・アレイ部の素子分離酸化膜と周辺回路部の素子分離酸化膜とを別個の工程において形成するようにすれば、それぞれの膜厚を最適化することができ、段差を一層少なくすることができる。その結果、この段差部での配線の断線等の発生を抑制でき、歩留りをさらに向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す工程順断面図の一部。

【図2】本発明の第1の実施例を示す、図1の工程に続く工程での工程順断面図。

【図3】本発明の第2の実施例を示す工程順断面図の一部。

【図4】本発明の第2の実施例を示す、図3の工程に続く工程での工程順断面図。

【図5】従来の仮想接地分割ゲート型EPROMのセル・アレイ部の平面図。

【図6】図5のB-B線での断面図。

【図7】図5に示した仮想接地分割ゲート型EPROMの等価回路図。

【図8】従来の製造方法を示す工程順断面図。

【符号の説明】

- 1 p型シリコン基板
- 2 素子分離酸化膜
- 3 ゲート酸化膜
- 4 浮遊ゲート
- 4a、6a、12a ポリシリコン膜
- 5 ゲート間酸化膜
- 6 制御ゲート
- 7、9、11、15、16 シリコン酸化膜
- 8 シリコン窒化膜
- 10、17 フォトレジスト膜

9

10

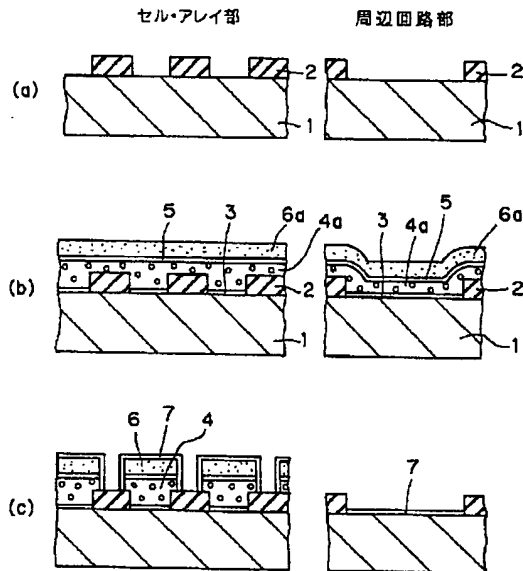
1 2 消去ゲート

1 3 ゲート電極

1 4 n⁺ 型埋め込み拡散層 (ビット線)

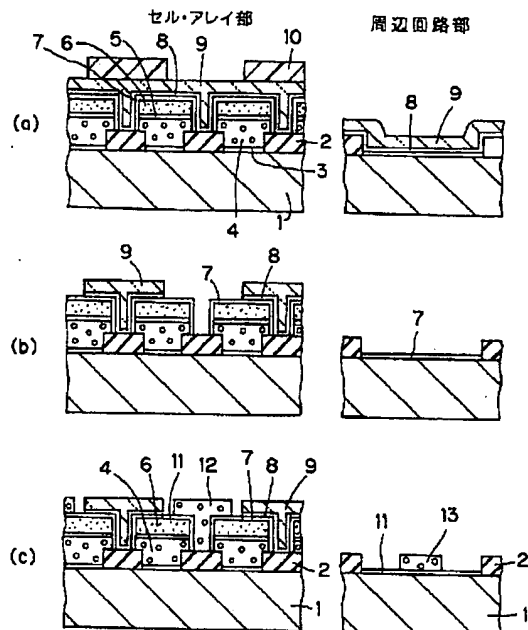
1 8 オーバーエッチ部

【図1】



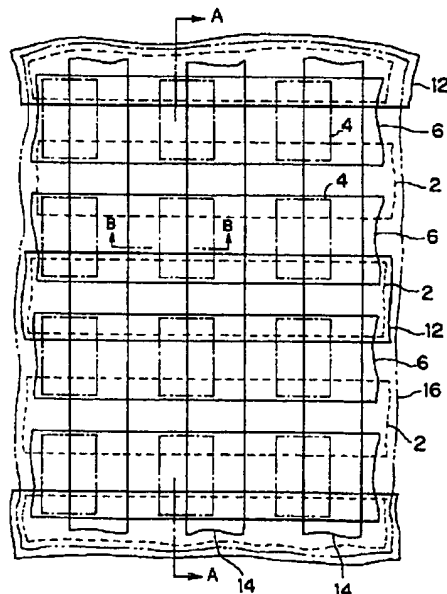
- 1...p型シリコン基板
2...素子分離酸化膜
3...ゲート酸化膜
4...浮遊ゲート
4a, 6a...ポリシリコン膜
5...ゲート間酸化膜
6...制御ゲート
7...シリコン酸化膜

【図2】



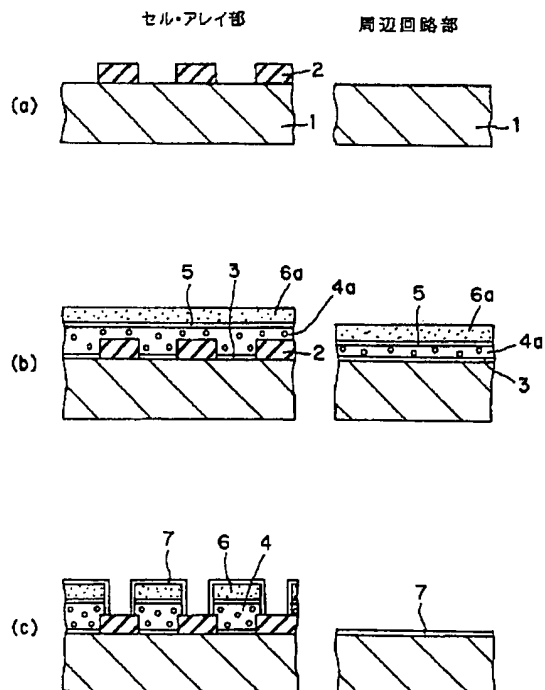
- 8...シリコン窒化膜
9, 11...シリコン酸化膜
10...フォトリソ膜
12...消去ゲート
13...ゲート電極

【図5】

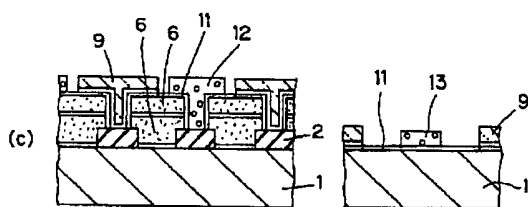
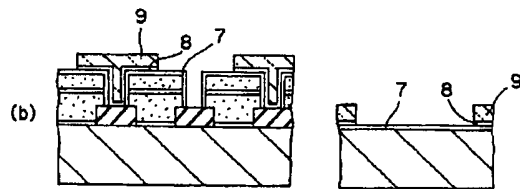
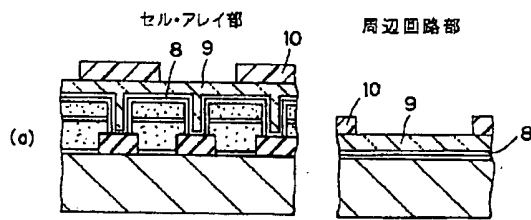


- 12...消去ゲート
16...シリコン酸化膜

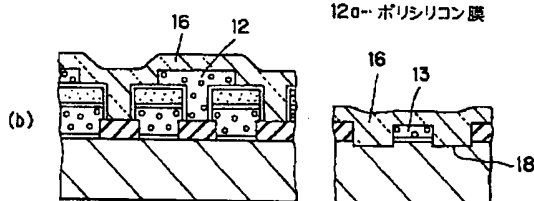
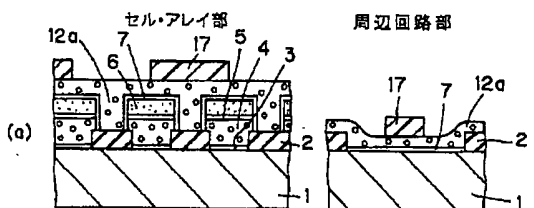
【図3】



【図4】

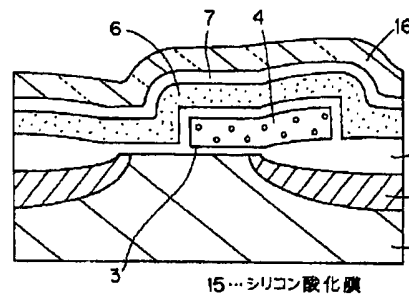


【図8】

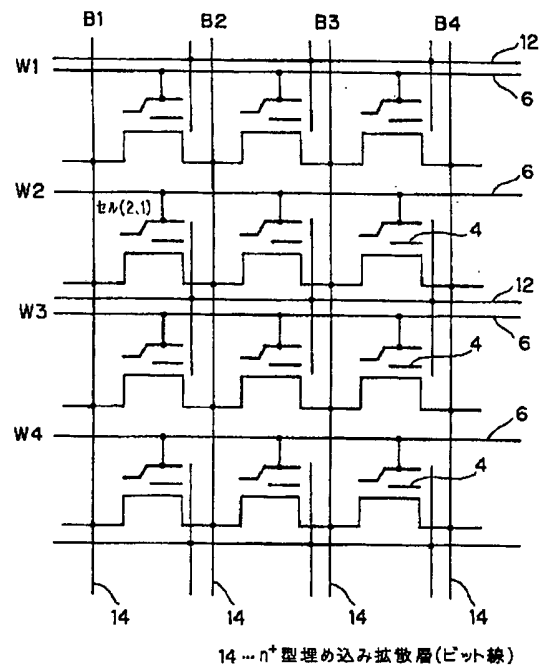


17...フォトリソ膜
18...オーバーエッチ部

【図6】



【図7】



フロントページの続き

(51) Int. Cl. 6

H01L 27/115

識別記号 庁内整理番号

F I

技術表示箇所